DK 621.382 **Fachbereichstandard** Januar 1978

Deutsche Demokratische Republik

Integrierte Halbleiterschaltkreise
UNIPOLARER MIKROPROZESSOR-SCHALTKREIS U 808 D
Technische Bedingungen

TGL 32058
Gruppe 13787

Интегральные полупроводниковые схемы
УНИПОЛЯРНЫЙ МИКРОПРОЦЕССОР U 808 D
Технические условия

Integrated semiconductor circuits
UNIPOLAR MICROPROCESSOR U 808 D
Detail specification

Deskriptoren: Integrierter Halbleiterschaltkreis; Mikroprozessorschaltkreis

STANDARDSTELLE Verbindlich ab 1. 5. 1979

Vorbemerkung

Der Mikroprozessorschaltkreis U 808 D ist eine integrierte zentrale Verarbeitungseinheit (ZVE) und wird in p-Kanal-Silicon-Gate-Technologie gefertigt.

Er ist vorwiegend für den Einsatz in Datenverarbeitungsanlagen und Anlagen der Steuerungs- und Regelungstechnik vorgesehen.

Die Betriebsausfallrate, bezogen auf den durch den Schaltkreis verursachten Funktionsausfall von Geräten und Anlagen, beträgt bei einer Betriebsdauer von mindestens 1000 h gemittelt über jeweils 12 Monate bei Betrieb mit mittlerer elektrischer Belastung nach Abschnitt 2.6. sowie vernachlässigbarer mechanischer Belastung

$$\lambda_B \leq 1 \cdot 10^{-5}\ h^{-1}.$$

Fortsetzung Seite 2 bis 40

Verantwortlich/
Bestätigt: 25.01.1978, VEB Kombinat Mikroelektronik, Erfurt

653 Karl-Marx-Stadt 2
Verlag: Verlag für Standardisierung – Bezug: Standardversand, 7010 Leipzig, Postfach 1048
(III-11-4) Lizenz-Nr. 785 – 0.68/86

Inhaltsverzeichnis

		Seite
1.	Allgemeines	3
1.1.	Integrationsgrad	3
1.2.	Bezeichnung	3
1.3.	In diesem Standard verwendete Kurzzeichen und ihre Erläuterung	3
2.	Technische Forderungen	3
2.1.	Konstruktion	3
2.1.1.	Abmessungen	3
2.1.2.	Masse	3
2.1.3.	Anschlußbelegung	4
2.2.	Funktionsbeschreibung - Allgemein	4
2.2.1.	Arbeitsweise der ZVE	6
2.2.2.	Befehle	11
2.2.3.	ZVE-Steuersignale	27
2.3.	Zusammenschaltbedingungen	28
2.3.1.	Eingänge	28
2.3.2.	Ausgänge	28
2.3.3.	Ein-/Ausgangsstufen	29
2.4.	Elektrische Eigenschaften	30
2.4.1.	Haupt- und Nebenkenngrößen	30
2.4.2.	Grenzkennwerte	32
2.5.	Betriebsbedingungen	32
2.5.1.	Statische Betriebsbedingungen	32
2.5.2.	Dynamische Betriebsbedingungen	33
2.6.	Mittlere elektrische Belastung und Umgebungstemperatur	34
2.7.	Prüfzuverlässigkeit	34
3.	Abnahmeregeln	34
4.	Prüfverfahren	34
4.1.	Nachweis der Prüfausfallrate	34
4.2.	Nachweis der Funktionsfähigkeit	36
4.3.	Meßschaltungen	37
4.3.1.	Eingangsreststrom	37
4.3.2.	Ausgangsspannung bei Belastung, Funktionsfähigkeit, Verzögerungszeiten	38
4.3.3.	Ein- und Ausgangskapazität	39
4.3.4.	Stromaufnahme	40
5.	Transport und Lagerung	40

1. Allgemeines

1.1. Integrationsgrad

Integrationsgrad 4 nach TGL 24951

1.2. Bezeichnung

Schaltkreis U 808 D TGL 32058

1.3. In diesem Standard verwendete Kurzzeichen und ihre Erläuterung

PC	Programmzähler (program counter)
$(PC)_L$	niederwertige 8 Adressenbits im Adressenzähler
$(PC)_H$	hochwertige 6 Adressenbits im Adressenzähler
(SSS)	Inhalt des Notizspeicherregisters, der durch
(DDD)	(SSS) bzw. (DDD) adressiert wird
SP	Stack pointer
(SP)	Inhalt des Stack pointers

2. Technische Forderungen

Allgemeine technische Forderungen nach TGL 24951 mit folgenden Ergänzungen und Präzisierungen.

2.1. Konstruktion

2.1.1. Abmessungen

Bauform 21 . 2 . 1 . 2 . 18 nach TGL 26713

Ausführung: Plastgehäuse

2.1.2. Masse

≈ 1,1 g

2.1.3. Anschlußbelegung, Anschlüsse von oben gesehen

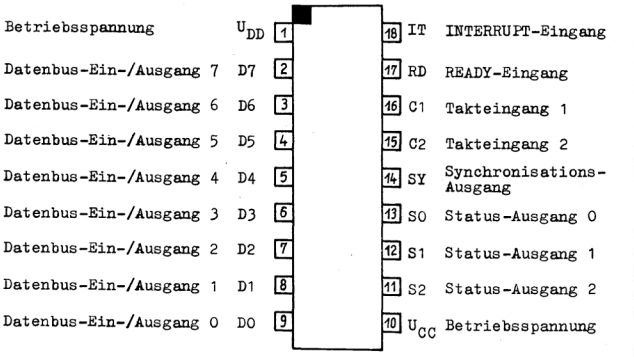


Bild 1

2.2. Funktionsbeschreibung - Allgemein

Die ZVE ist vorgesehen für eine Betriebsspannung
$-U_{DD} = 9\ V \pm 0{,}45\ V$, $U_{CC} = 5\ V \pm 0{,}25\ V$

und für eine Betriebsumgebungstemperatur von 0 bis 70 °C.
Mit der ZVE sind 16 K Byte = 2^{14} Byte zu je 8 bit Speicherkapazität adressierbar.
Der Daten-, Befehls- und Adressenaustausch erfolgt über einen 8 bit Datenbus (D_0 bis D_7) zeitsequentiell.

Über den Eingang IT kann die Programmabarbeitung unterbrochen werden. Nach der Bearbeitung von Zwischenprogrammen wird in das unterbrochene Hauptprogramm zurückgekehrt.
Durch logisch 0 am Eingang RD kann die ZVE in den WAIT-Zustand (T3W) gebracht werden. Dadurch ist es möglich, an die ZVE Speicher mit beliebiger Zugriffzeit anzuschließen.
Die Statusausgänge S0, S1, S2 und das Synchronisationssignal SY geben den internen Zeitzustand der ZVE kodiert aus.
Die ZVE benötigt 2 Taktsignale C1 und C2 und 2 Betriebsspannungen U_{CC} und U_{DD}, bezogen auf TTL-Masse.

Alle Eingänge sind TTL-kompatibel unter Beachtung der Kennwerte gemäß Abschnitt 2.5.1. Alle Ausgänge sind low-power-TTL-kompatibel.

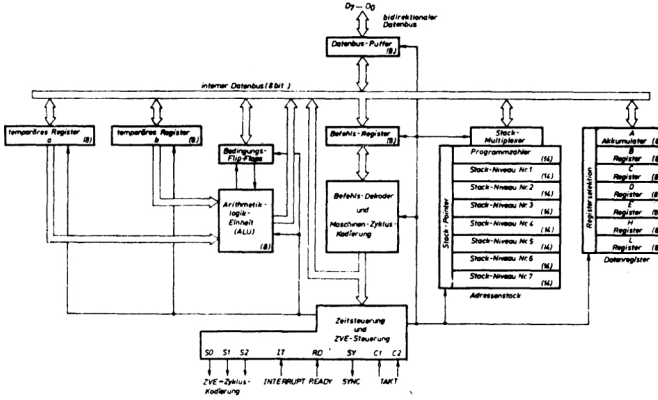


Bild 2 Blockschaltbild der inneren Struktur der ZVE

Die ZVE ist in der Lage, 48 Befehle auszuführen.
Die Befehle werden in 5 Gruppen unterteilt:

- Registerbefehle
- Akkumulatorbefehle
- Adressenoperationen
- Ein/Ausgabe Befehle
- Haltebefehl

Ein Befehl besteht aus ein bis drei Byte. Die ZVE arbeitet mit einer maximalen Taktfrequenz von 500 kHz. Zwei Taktzyklen bilden einen internen Zustand (≙ 4 µs). Für die Abarbeitung eines Befehles benötigt die ZVE 3 bis 11 Zustände, das sind 12 bis 44 us.

2.2.1. Arbeitsweise der ZVE

Blockschaltbild der inneren Struktur der ZVE:

siehe Bild 2

2.2.1.1. Logikdefinition

Alle Logikpegel an den äußeren Klemmen sind positiv definiert, d. h.

logisch 1 = H-Pegel
logisch 0 = L-Pegel

2.2.1.2. Zeitlicher Ablauf der Befehlsabarbeitung

Ein interner Maschinenzyklus besteht aus maximal 5 Zuständen (T1 bis T5). Jeder Zustand umfaßt 2 Takte C1 und 2 Takte C2. Ein Befehl wird in 1 bis 3 Zyklen abgearbeitet (Z1 bis Z3). Der Ausgang SY charakterisiert mit dem H-Pegel die ersten Taktimpulse (C11 und C21). Die 5 Zustände werden an den Ausgängen SO, S1 S2 codiert ausgegeben (Tabelle 1). Dabei entspricht T1I dem Zustand 1 bei Anliegen des Interrupt-Signals, WAIT dem Zustand 3 während des Wartens der ZVE und STOP dem Zustand 3 nach Einlesen des Befehls "HALT" (HLT).

Tabelle 1

SO	S1	S2	Zustand
0	1	0	T1
0	1	1	T1I
0	0	1	T2
0	0	0	WAIT (T3W)
1	0	0	T3
1	1	0	STOP (T3S)
1	1	1	T4
1	0	1	T5

Die Zyklusart wird so ausgegeben, daß das Lesen und Schreiben des externen Speichers, die Ein- und Ausgabe äußerer Daten und der 1. Zyklus markiert werden. Dazu werden während des Zustandes T2 die nicht für die Ausgabe der Adresse benötigten Bits D6 und D7 in der in Tabelle 2 angegebenen Weise codiert ausgegeben:

Tabelle 2

D6	D7	Bezeichnung	Funktion
0	0	PCI	Datenholezyklus 1. Byte
0	1	PCR	Datenholezyklus 2. oder 3. Byte
1	0	PCC	Ein-, Ausgabezyklus
1	1	PCW	Datenschreibezyklus

Bild 3 zeigt die Impulszuordnung C1, C2, SY, S0, S1, S2
während der Zustände T1 bis T5.
Die Zustände T4 bzw. T5 werden nicht in jedem Zyklus durchlaufen.
Sie werden übersprungen, wenn sie nicht gebraucht werden.

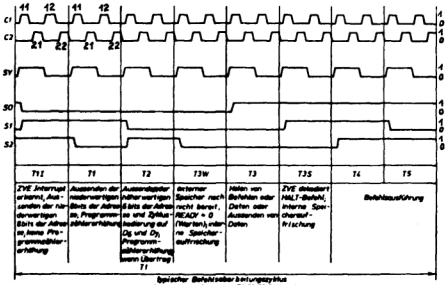


Bild 3 Zeitablauf

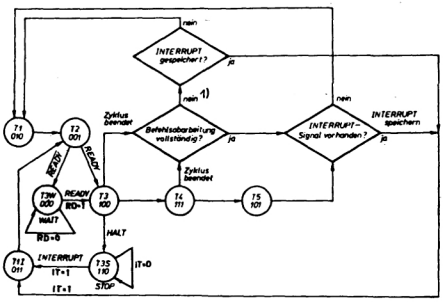
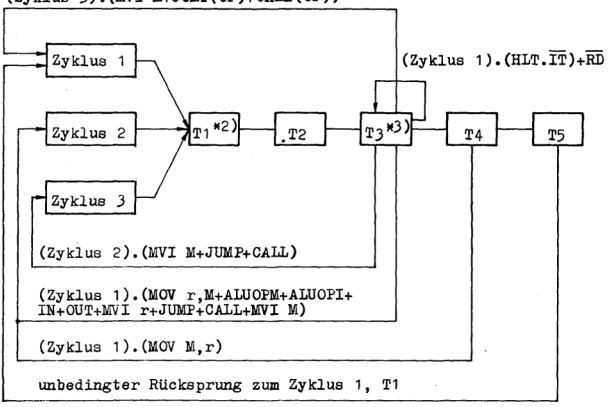


Bild 4

Bild 4 zeigt die möglichen Übergänge von einem Zustand in den nächsten.

Bild 5 zeigt die Abarbeitung der Befehle. Die an den Verbindungslinien angegebenen Logikgleichungen geben die Übergangsbedingungen aus einem bestimmten Zustand zu einem neuen Zyklus an.

1) Bei Eingabe eines mehrzyklischen Befehls wird T1I mehrfach durchlaufen



JUMP umfaßt die Befehle JNC, JNZ, JP, JPO, JC, JZ, JM, JPE
CALL umfaßt die Befehle CNC, CNZ, CP, CPO, CC, CZ, CM, CPE
RETURN umfaßt die Befehle RNC, RNZ, RP, RPO, RC, RZ, RM, RPE
CF bedeutet nichterfüllte Bedingung

Bild 5

2.2.1.3. Funktionseinheiten der ZVE

2.2.1.3.1. Befehlsregister und Steuereinheit

Die über den gemeinsamen Datenbus eingelesenen Befehle werden im Befehlsregister gespeichert. Der eingelesene Befehl steuert über den Befehlsdekoder den Funktionsablauf der ZVE, die Steuerung der ALU, der Register und des Adressenspeichers.

*2) T1I bei IT
*3) T3W bei $\overline{RD}$
T3S bei (Zyklus 1) . (HLT . $\overline{IT}$)

2.2.1.3.2. Interne Speicher

In der ZVE werden zwei dynamische Speicher benutzt:
Der Adressenspeicher und ein Notizspeicher.
Während der Zustände T3, T3W und T3S erfolgt über einen internen Refreshadressenzähler ein automatischer Refreshzyklus. Nach acht Zyklen sind alle internen Speicher regeneriert.

2.2.1.3.3. Adressenspeicher

Der Adressenspeicher besteht aus acht 14-Bit-Registern. Jedes der acht Register kann als Adressenzähler benutzt werden. Über einen 3-Bit-Vor-Rückwärtszähler werden die acht Adressenregister intern adressiert. Der CALL-Befehl und der RESTART-Befehl (RST) erhöht diese Adresse um eins (n+1), wobei der Inhalt der alten Adresse (n) gespeichert wird.

Der RETURN-Befehl erniedrigt die Adresse um eins, so daß die alte gespeicherte Adresse (vor dem CALL) weiter verwendet werden kann. Mit acht Adressenregistern kann damit zu sieben Unterroutinen gesprungen und rückgekehrt werden. Wird zu mehr als sieben Unterroutinen verzweigt, werden die ersten Adressen überschrieben, so daß also nur sieben Adressen für sieben RETURNS zur Verfügung stehen. Während T1 werden die niederwertigen 8 Adressbits, während T2 die höherwertigen 6 Adressbits des zur Zeit aktualisierten Adressenregisters ausgegeben. In T1 werden gleichzeitig die niederwertigen 8 Adressbits incrementiert (+1), wenn die ZVE nicht interrupted ist. In T2 wird zu den höherwertigen 6 Adressbits der sich in T1 ergebende Übertrag addiert.

Mit den 14-Bit-Adressregistern sind 16 K Worte in externen Speichern direkt adressierbar. Wird eine größere Speicherkapazität benötigt, kann mit Hilfe der I/O-Befehle softwaremäßig ein Speicher-Bank-Betrieb realisiert werden, wodurch der Speicher beliebig erweitert werden kann.

2.2.1.3.4. Notizspeicher

Der Notizspeicher besteht aus sieben Registern (A, B, C, D, E, H, L). Das Register A stellt den Akkumulator dar. Alle ALU-Befehle speichern im Akkumulator den 1. Operanden. Die Register A bis L sind unabhängig adressierbar und können für Zwischenspeicherungen benutzt werden, wobei die Befehle, die den Notizspeicher benutzen, schneller abgearbeitet werden als die gleichen Befehle, die ein äußeres Speicherregister (M) benutzen. Befehle, die ein äußeres Speicherregister (M) benutzen, verwenden den Inhalt der Register H und L als Adresse des äußeren Speicherregisters M. L beinhaltet die während T1 auszusendenden 8 niederwertigen Adressbits. H beinhaltet die während T2 auszusendenden 6 höherwertigen Adressbits. Bit 6 und Bit 7 werden zwar im Register H so gespeichert wie ursprünglich eingegeben, jedoch während T2 nicht auf den äußeren Datenbus ausgegeben (Zykluscode!).

2.2.1.4. Arithmetik-Logik-Einheit (ALU)

Die Befehle AD, AC (mit Übertrag), SU, SB (mit Übertrag), ND, XR (EXCLUSIVE ODER), OR (ODER), CP (VERGLEICHEN), INr (INCREMENT), DCr (DECREMENT) werden von einer 8-Bit-Parallel Arithmetik-Logik-Einheit ausgeführt. In zwei Registern a und b werden die beiden Operanden für die ALU-Operationen zwischengespeichert. Diese beiden Register dienen auch beim Datentransport innerhalb der ZVE als Zwischenspeicher.

Das Ergebnis der ALU-Operation wird in das Register A (Akkumulator) geschrieben und erscheint auf dem äußeren Datenbus. Außerdem werden 4 Bedingungs-Flip-Flops (Flags) gesetzt: Übertrag (C), Null (Z), höchstwertiges Bit (MSB) (S) und Parität (P).
Der Inhalt der 4 Flip-Flops kann während T4, Zyklus 2 des Befehls INP auf dem externen Datenbus abgefragt werden. Die Befehle CALL, JUMP und RETURN können abhängig vom Inhalt eines Flip-Flops ausgeführt werden. Mit Hilfe des Übertrags-Flip-Flops können mehr als 8 Bit verrechnet werden.

2.2.1.5. Ein-/Ausgabestufe

Über die für Ein- und Ausgabe benutzten Anschlüsse DO bis D7 erfolgt der Daten- und Adressenaustausch der ZVE mit den übrigen zum System gehörenden Schaltkreisen. Die Umschaltung zwischen Eingangsstufe und Ausgangstreiber erfolgt über die interne Steuerlogik der ZVE.
Die Ausgangsstufen sind low-power TTL-kompatibel, die Eingänge sind TTL-kompatibel. Von MOS-Schaltkreisen können die Eingänge nicht angesteuert werden.

2.2.2. Befehle

2.2.2.1. Beschreibungsform

Alle Daten werden in der ZVE als 8 Bit-Worte behandelt. D_7 ist dabei das höchstwertige Bit, D_0 das niedrigstwertige.

Die Befehle haben Längen von 1, 2 oder 3 Worten. Mehrwortbefehle müssen im externen Speicher aufeinander folgende Adressen haben (n, n+1, n+2).

Ein-Wort-Befehle werden für internen Registertransfer, Operationen mit internen Registerdaten, Ein-/Ausgabeoperationen, Halt-, Return- und Verschiebebefehle verwendet.

	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
									Befehlscode

Zwei-Wort-Befehle werden für Operationen mit vorgegebenen Daten benutzt.

1. Wort	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlscode
2. Wort	B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	Daten

Drei-Wort-Befehle werden für CALL- und JUMP-Befehle verwendet.

1. Wort	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlscode
2. Wort	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	niedrigwertige Adressbits 0 - 7
3. Wort	X	X	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	höherwertige Adressbits 8 - 13

Die Bits D_6 und D_7 werden im 3. Wort von der ZVE nicht verarbeitet und sind wahlfrei.

2.2.2.2. Befehlsliste der ZVE

Erklärungen zur Befehlsliste:

1. SSS: Ursprungsregister - D2 D1 D0
2. DDD: Zielregister - D5 D4 D3 · Register

0	0	0	A	Akkumulator
0	0	1	B	
0	1	0	C	
0	1	1	D	
1	0	0	E	
1	0	1	H	H-Adresse
1	1	0	L	L-Adresse

3. M (Memory register) im Befehlskurzzeichen:

   Externer Speicherplatz, adressiert durch den Inhalt der Register H und L.

   r im Befehlskurzzeichen:

   Ein beliebiges der Register A, B, C, D, E, H, L.

4. BB...B Zusätzliche Daten

5. XX Wahlfreie Bits

6. Flags (Bedingungs-FF)

   C, 1 bei Übertrag = 1

   Z, 1 bei Ergebnis = 0

   S, 1 bei höchstwertiges Bit = 1

   P, 1 bei Parität gerade

Tabelle 3 Befehlsliste

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
Registerbefehle										
MOV r_1,r_2 4)	5	1	1	D	D	D	S	S	S	Lade Register r_1 mit dem Inhalt von Register r_2 (r_1=r_2: Leerbefehl)
MOV r, M 4)	8	1	1	D	D	D	1	1	1	Lade Register r mit dem Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird
MVI r 4)	8	0	0	D	D	D	1	1	0	Lade Register r mit den im 2. Byte des Befehls abgespeicherten Daten $B_2 \cdots B_2$
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
MOV M, r 4)	7	1	1	1	1	1	S	S	S	Lade den Speicherplatz, der durch den Inhalt der Register H und L adressiert wird, mit dem Inhalt des Registers r
MVI M 4)	9	0	0	1	1	1	1	1	0	Lade den Speicherplatz, der durch den Inhalt der Register H und L adressiert wird, mit den im 2. Byte des Befehls abgespeicherten Daten $B_2 \cdots B_2$
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
INR r 5)	5	0	0	D	D	D	0	0	0	Erhöhe den Inhalt des Registers r um 1 (r ≠ A)
DCR r 5)	5	0	0	D	D	D	0	0	1	Vermindere den Inhalt des Registers r um 1 (r ≠ A)

Fortsetzung der Tabelle Seite 14

4) Die Ladebefehle beeinflussen nicht die Bedingungs-Flip-Flops.

5) Die Zählbefehle beeinflussen alle Bedingungs-Flip-Flops, außer den Übertrags-Flip-Flop C.

Fortsetzung der Tabelle 3

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
Haltbefehl										
HLT	4	0	0	0	0	0	0	0	X	Einnahme des Stopzustandes bis zum nächsten Interrupt
HLT	4	1	1	1	1	1	1	1	1	
Akkumulatorbefehle 6)										
ADD r	5	1	0	0	0	0	S	S	S	Addiere den Akkumulatorinhalt und den Inhalt des Registers r
ADD M	8	1	0	0	0	0	1	1	1	Addiere den Akkumulatorinhalt und den Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird.
ADI	8	0 B_2	0 B_2	0 B_2	0 B_2	0 B_2	1 B_2	0 B_2	0 B_2	Addiere den Akkumulatorinhalt und die im 2. Byte des Befehls abgespeicherten Daten $B_2 \dots B_2$
ADC r	5	1	0	0	0	1	S	S	S	Addiere den Akkumulatorinhalt, den Übertrag und den Inhalt des Registers r.
ADC M	8	1	0	0	0	1	1	1	1	Addiere den Akkumulatorinhalt, den Übertrag und den Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird.
ACI	8	0	0	0	0	1	1	0	0	Addiere den Akkumulatorinhalt, den Übertrag und die im 2. Byte des Befehls abgespeicherten Daten $B_2 \dots B_2$

Fortsetzung der Tabelle Seite 15

6) Die Ergebnisse der arithmetischen und logischen Befehle werden im Akkumulator abgespeichert (außer beim Vergleich!) und beeinflussen alle Bedingungs-Flip-Flops. Der Akkumulatorinhalt wird beim Vergleich nicht geändert! Bei den logischen Befehlen wird der Übertrags-Flip-Flop C Null gesetzt.

Fortsetzung der Tabelle 3

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
SUB r	5	1	0	0	1	0	S	S	S	Subtrahiere vom Akkumulatorinhalt den Inhalt des Registers r
SUB M	8	1	0	0	1	0	1	1	1	Subtrahiere vom Akkumulatorinhalt den Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird.
SUI	8	0	0	0	1	0	1	0	0	Subtrahiere vom Akkumulatorinhalt die im 2. Byte des Befehls abgespeicherten Daten B_2 ... B_2
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
SBB r	5	1	0	0	1	1	S	S	S	Subtrahiere vom Akkumulatorinhalt den Übertrag und den Inhalt des Registers r
SBB M	8	1	0	0	1	1	1	1	1	Subtrahiere vom Akkumulatorinhalt den Übertrag und den Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird.
SBI	8	0	0	0	1	1	1	0	0	Subtrahiere vom Akkumulatorinhalt den Übertrag und die im 2. Byte des Befehls abgespeicherten Daten B_2 ... B_2
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
ANA r	5	1	0	1	0	0	S	S	S	Bilde das logische UND aus dem Akkumulatorinhalt und dem Register r
ANA M	8	1	0	1	0	0	1	1	1	Bilde das logische UND aus dem Akkumulatorinhalt und dem Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird

Fortsetzung der Tabelle Seite 16

Fortsetzung der Tabelle 3

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
ANI	8	0	0	1	0	0	1	0	0	Bilde das logische UND aus dem Akkumulatorinhalt und dem im 2. Byte des Befehls abgespeicherten Daten $B_2 \cdots B_2$
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
XRA r	5	1	0	1	0	1	S	S	S	Bilde das Exclusiv-ODER aus dem Akkumulatorinhalt und dem Inhalt des Registers r
XRA M	8	1	0	1	0	1	1	1	1	Bilde das Exclusiv-ODER aus dem Akkumulatorinhalt und dem Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird
XRI	8	0	0	1	0	1	1	0	0	Bilde das Exclusiv-ODER aus dem Akkumulatorinhalt und den im 2. Byte des Befehls abgespeicherten Daten $B_2 \cdots B_2$
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
ORA r	5	1	0	1	1	0	S	S	S	Bilde das Inclusiv-ODER aus dem Akkumulatorinhalt und dem Inhalt des Registers r
ORA M	8	1	0	1	1	0	1	1	1	Bilde das Inclusiv-ODER aus dem Akkumulatorinhalt und dem Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird
ORI	8	0	0	1	1	0	1	0	0	Bilde das Inclusiv-ODER aus dem Akkumulatorinhalt und den im 2. Byte des Befehls abgespeicherten Daten $B_2 \cdots B_2$
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	

Fortsetzung der Tabelle Seite 17

Fortsetzung der Tabelle 3

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
CMP r	5	1	0	1	1	1	S	S	S	Vergleich: Subtrahiere vom Akkumulatorinhalt den Inhalt des Registers r
CMP M	8	1	0	1	1	1	1	1	1	Vergleich: Subtrahiere vom Akkumulatorinhalt den Inhalt des Speicherplatzes, der durch den Inhalt der Register H und L adressiert wird
CPI	8	0 B_2	0 B_2	1 B_2	1 B_2	1 B_2	1 B_2	0 B_2	0 B_2	Vergleich: Subtrahiere vom Akkumulatorinhalt die im 2. Byte des Befehls abgespeicherten Daten $B_2 \ldots B_2$
RLC 7)	5	0	0	0	0	0	0	1	0	Zyklische Linksverschiebung des Akkumulatorinhalts um 1 Bit $A_{m+1} \leftarrow A_m$, $A_o \leftarrow A_7$, $C \leftarrow A_7$
RRC 7)	5	0	0	0	0	1	0	1	0	Zyklische Rechtsverschiebung des Akkumulatorinhalts um 1 Bit $A_m \leftarrow A_{m+1}$, $A_7 \leftarrow A_o$, $C \leftarrow A_o$
RAL 7)	5	0	0	0	1	0	0	1	0	Zyklische Linksverschiebung des Akkumulatorinhalts über den Übertrags-Flip-Flop C um 1 Bit $A_{m+1} \leftarrow A_m$, $A_o \leftarrow C$, $C \leftarrow A_7$

Fortsetzung der Tabelle Seite 18

7) Die Verschiebebefehle beeinflussen nur den Übertrags-Flip-Flop C.

Fortsetzung der Tabelle 3

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
RAR 7)	5	0	0	0	1	1	0	1	0	Zyklische Rechtsverschiebung des Akkumulatorinhalts über den Übertrags-Flip-Flop C um 1 Bit $A_m \leftarrow A_{m+1}$, $A_7 \leftarrow C$, $C \leftarrow A_0$
Adressenoperationen		**JUMP-Befehle**								
JMP	11	0	1	X	X	X	1	0	0	unbedingter Sprung zu der im 2. und 3. Byte des Befehls angegebenen Adresse
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JNC 8) (C = 0)	9 oder 11	0	1	0	0	0	0	0	0	Sprung zu der im 2. und 3. Byte des Befehls angegebenen Adresse, wenn das ausgewählte Bedingungs-Flip-Flop Null ist
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JNZ 8) (Z = 0)		0	1	0	0	1	0	0	0	
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JP 8) (S = 0)		0	1	0	1	0	0	0	0	
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JPO 8) (P = 0)		0	1	0	1	1	0	0	0	
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	

Fortsetzung der Tabelle Seite 19

7) siehe Seite 17

8) Ist bei den bedingten Adressenoperationen die Sprungbedingung nicht erfüllt, wird der folgende Befehl im Speicher adressiert und es werden weniger Zeitzustände benötigt (9 bzw. 3). Durch Adressenoperationen werden die Bedingungs-Flip-Flop nicht verändert

Fortsetzung der Tabelle 3

Befehls-kurzzeichen	Anzahl der Zeit-zustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
JC		0	1	1	0	0	0	0	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(C = 1)		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JZ		0	1	1	0	1	0	0	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	Sprung zu der im 2. und 3. Byte des Befehls angegebenen Adresse, wenn das ausgewählte Bedingungs-Flip-Flop Eins ist
(Z = 1)	9 oder 11	X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JM		0	1	1	1	0	0	0	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(S = 1)		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
JPE		0	1	1	1	1	0	0	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(P = 1)		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CALL-Befehle 9)										
CALL	11	0	1	X	X	X	1	1	0	unbedingter Aufruf des Unterprogramms auf der im 2. und 3. Byte des Befehls angegebenen Adresse
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CNC		0	1	0	0	0	0	1	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(C = 0)		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CNZ		0	1	0	0	1	0	1	0	Aufruf des Unterprogramms auf der im 2. und 3. Byte des Befehls angegebenen Adresse, wenn der ausgewählte Bedingungs-Flip-Flop Null ist.
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(Z = 0)	9 oder 11	X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CP		0	1	0	1	0	0	1	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(S = 0)		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CPO		0	1	0	1	1	0	1	0	
8)		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
(P = 0)		X	X	B_3	B_3	B_3	B_3	B_3	B_3	

Fortsetzung der Tabelle Seite 20

8) siehe Seite 18

9) Die letzte Adresse des rufenden Programms wird im Adressenspeicher konserviert.

Fortsetzung der Tabelle 3

Befehlskurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
CC 8) (C = 1)	9 oder 11	0	1	1	0	0	0	1	0	Aufruf des Unterprogramms auf der im 2. und 3. Byte des Befehls angegebenen Adresse, wenn der ausgewählte Bedingungs-Flip-Flop Eins ist.
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CZ 8) (Z = 1)		0	1	1	0	1	0	1	0	
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CM 8) (S = 1)		0	1	1	1	0	0	1	0	
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
CPE 8) (P = 1)		0	1	1	1	1	0	1	0	
		B_2	B_2	B_2	B_2	B_2	B_2	B_2	B_2	
		X	X	B_3	B_3	B_3	B_3	B_3	B_3	
RETURN-Befehle										
RET	5	0	0	X	X	X	1	1	1	unbedingter Rücksprung zur letzten Adresse im Adressenspeicher
RNC 8) (C = 0)	3 oder 5	0	0	0	0	0	0	1	1	Rücksprung zur letzten Adresse im Adressenspeicher, wenn der ausgewählte Bedingungs-Flip-Flop Null ist.
RNZ 8) (Z = 0)		0	0	0	0	1	0	1	1	
RP 8) (S = 0)		0	0	0	1	0	0	1	1	
RPO 8) (P = 0)		0	0	0	1	1	0	1	1	
RC 8) (C = 1)	3 oder 5	0	0	1	0	0	0	1	1	Rücksprung zur letzten Adresse im Adressenspeicher, wenn der ausgewählte Bedingungs-Flip-Flop Eins ist.
RZ 8) (Z = 1)		0	0	1	0	1	0	1	1	
RM 8) (S = 1)		0	0	1	1	0	0	1	1	
RPE 8) (P = 1)		0	0	1	1	1	0	1	1	

Fortsetzung der Tabelle Seite 21

8) siehe Seite 18

Fortsetzung der Tabelle 3

Befehls-kurzzeichen	Anzahl der Zeitzustände	Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Befehlsinhalt
RST 9)	5	0	0	A	A	A	1	0	1	Unbedingter Aufruf des Unterprogramms ab Speicheradresse AAAØØØ (AAA ≙ $D_5D_4D_3$).
Eingabe-/Ausgabe-Befehle										
IN	8	0	1	0	0	M	M	M	1	Eingabe des Inhalts des ausgewählten Eingabetores MMM in den Akkumulator
OUT	6	0	1	R	R	M	M	M	1	Ausgabe des Inhalts des Akkumulators in das ausgewählte Ausgaberegister RRMMM (RR ≠ 0)

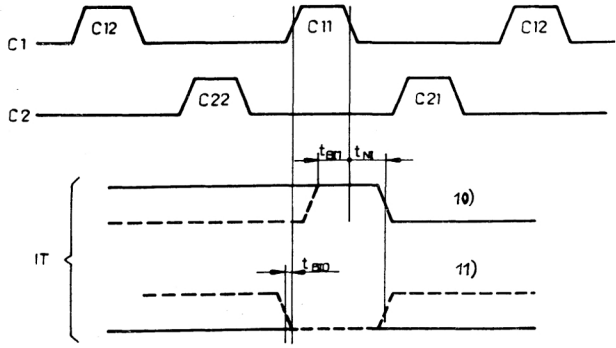


Bild 6 Zeitbeziehung des Interrupt-Signals

9) siehe Seite 19
10) ZVE soll T1I einnehmen
11) ZVE soll T1I nicht einnehmen

2.2.2.3. Interne Befehlsbearbeitung

Tabelle 4

Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Mnemonic	Anzahl der Zustände	Zyklus 1 (ist immer ein PCI-Zyklus) T1	T2	T3	T4 *14)	T5	Zyklus 2 T1
Registerbefehle															
1	1	D	D	D	S	S	S	MOV r_1,r_2	5	(PC)$_L$ aus	(PC)$_H$ aus	Befehl zu Befehlsregister und Register b	(SSS) zu Register b	Register b zu (DDD)	-
1	1	D	D	D	1	1	1	MOV r,M	8				15)		Register L aus (PCR-Zyklus)
1	1	1	1	1	S	S	S	MOV M,r	7				(SSS) zu Register b	15)	Register L aus (PCW-Zyklus)
0	0	D	D	D	1	1	0	MVI r	8				15)		(PC)$_L$ aus (PCR-Zyklus)
0	0	1	1	1	1	1	0	MVI M	9				15)		
0	0	D	D	D	0	0	0	INR r	5				16)	(DDD) ← (DDD)+1 Bedingungs-FF außer Übertrag gesetzt	-
0	0	D	D	D	0	0	1	DCR r	5				16)	(DDD) ← (DDD)-1 Bedingungs-FF außer Übertrag gesetzt	-
Akkumulatorbefehle															
1	0	D_5	D_4	D_3	S	S	S	ALUOPr *17)	5	(PC)$_L$ aus	(PC)$_H$ aus	Befehl zu Befehlsregister und Register b	(SSS) zu Register b	ALU-Operationen, Bedingungs-FF gesetzt	-
1	0	D_5	D_4	D_3	1	1	1	ALUOPM *18)	8				15)		Register L aus (PCR-Zyklus)
0	0	D_5	D_4	D_3	1	0	0	ALUOPI *19)	8				15)		(PC)$_L$ aus (PCR-Zyklus)
0	0	0	0	0	0	1	0	RLC	5				16)	Register A links verschieben Übertrag gesetzt	-
0	0	0	0	1	0	1	0	RRC	5				16)	Register A rechts verschieben Übertrag gesetzt	-
0	0	0	1	0	0	1	0	RAL	5				16)	Register A links verschieben Übertrag gesetzt 20)	-
0	0	0	1	1	0	1	0	RAR	5				16)	Register A rechts verschieben Übertrag gesetzt 20)	-

*14) Während T1,T2,T4 und T5 wird der Zustand des internen Bus auch nach außen gegeben

15) Diese Zustände werden übersprungen

16) Der Zustand wird ohne Funktion durchlaufen

17) ALUOPr ist die Menge der Befehle: ADDr,ADCr,SUBr,SBBr,ANAr,XRAr,ORAr,CPMr

18) ALUOPM ist die Menge der Befehle: ADDM,ADCM,SUBM,SBBM,ANAM,XRAM,ORAM,CMPM

19) ALUOPI ist die Menge der Befehle: ADI,ACI,SUI,SBI,ANI,XRI,ORI,CPI

20) Übertrag wird in Register A geschoben

Fortsetzung der Tabelle Seite 24

Fortsetzung der Tabelle 4

Zyklus 2				Zyklus 3				
T2	T3	T4	T5	T1	T2	T3	T4	T5
-	-	-	-	-	-	-	-	-
Register H aus	Daten zu Register b	16)	Register b zu (DDD)	-	-	-	-	-
	Register b aus	-	-	-	-	-	-	-
$(PC)_H$ aus	Daten zu Register b	16)	Register b zu (DDD)	-	-	-	-	-
		15) →		Register L aus	Register H aus (PCW-Zyklus)	Register b aus	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
Register H aus	Daten zu Register b	16)	ALU-Operationen Bedingunge-FF gesetzt	-	-	-	-	-
$(PC)_H$ aus		16)		-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-

15) und 16) siehe Seite 22

Fortsetzung der Tabelle Seite 25

Fortsetzung der Tabelle 4

Befehlscode D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Mnemonic	Anzahl der Zustände	Zyklus 1 (ist immer ein PCI-Zyklus) T1	T2	T3	T4 ¤14)	T5	Zyklus 2 T1
Adressenoperationen															
0	1	X	X	X	1	0	0	JMP	11				15)		
0	1	0	C_4	C_3	0	0	0	JNC, JNZ, JP, JPO	9 oder 11				15)		
0	1	1	C_4	C_3	0	0	0	JC, JZ, JM, JPE	9 oder 11				15)		
0	1	X	X	X	1	1	0	CALL	11				15)		
0	1	0	C_4	C_3	0	1	0	CNC, CNZ, CP, CPO	9 oder 11	$(PC)_L$ aus	$(PC)_H$ aus	Befehl zu Befehlsregister und Register b	15)		$(PC)_L$ aus (PCR-Zyklus)
0	1	1	C_4	C_3	0	1	0	CC, CZ, CM, CPE	9 oder 11				15)		
0	0	X	X	X	1	1	1	RST	5				(SP)←(SP)-1	16)	
0	0	0	C_4	C_3	0	1	1	RNC, RNZ, RP, RPO	3 oder 5				(SP)←(SP)-1 ¤21)	16), ¤21)	
0	0	1	C_4	C_3	0	1	1	RC, RZ, RM, RPE	3 oder 5						
0	0	A	A	A	1	0	1	RST	5			Register a←00000000 Register b←00AAA000	Register a zu $(PC)_H$	Register b zu $(PC)_L$	
Ein-/Ausgabe-Befehle															
0	1	0	0	M	M	M	1	IN	8	$(PC)_L$ aus	$(PC)_H$ aus	Befehl zu Befehlsregister und Register b	15)		Register A aus (PCC-Zyklus)
0	1	R	R	M	M	M	1	OUT	6				15)		
Haltbefehl															
0	0	0	0	0	0	0	X	HLT	4	$(PC)_L$ aus	$(PC)_H$ aus	Befehl zu Befehlsregister und Register b 22)	-	-	-
1	1	1	1	1	1	1	1	HLT	4				-	-	-

¤ 14), 15) und 16) siehe Seite 22

¤ 21) Bei nicht erfüllter Bedingung werden T4 und T5 übersprungen und der Stackzähler nicht erniedrigt

22) Der T3S-Zustand wird erst nach Anlegen eines Signals IT=1 verlassen

Fortsetzung der Tabelle 4

Zyklus 2				Zyklus 3				
T2	T3	T4	T5	T1	T2	T3	T4	T5
$(PC)_H$ aus	neue Adresse zu Register b	→ 15)		$(PC)_L$ aus (PCR-Zyklus)	$(PC)_H$ aus	neue Adresse zu Register a	Register a zu $(PC)_H$	Register b zu $(PC)_L$
		→ 15)						
		→ 15)				neue 1. Adresse zu Register a	Register a zu $(PC)_H$ 23)	Register b zu $(PC)_L$ 23)
		→ 15)						
		→ 15)				neue Adresse zu Register a	Register a zu $(PC)_H$ $(SP) \rightarrow (SP)+1$	Register b zu $(PC)_L$
		→ 15)					Register a zu $(PC)_H$ $(SP) \rightarrow (SP)+1$ 24)	Register b zu $(PC)_L$ 24)
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
Register b aus	Daten zu Register b	Bedingungs-FF aus 25)	Register b zu Register A	-	-	-	-	-
	16), 26)	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-

15) und 16) siehe Seite 22

23) Bei nicht erfüllter Bedingung werden T4 und T5 übersprungen

24) Bei nicht erfüllter Bedingung werden T4 und T5 übersprungen und der Stackzähler nicht erhöht

25) $S \triangleq D_0$, $Z \triangleq D_1$, $P \triangleq D_2$, $C \triangleq D_3$

26) Da T3 funktionslos durchlaufen wird, muß ein Signal RD=1 zur Fortsetzung der Arbeit der ZVE angelegt werden

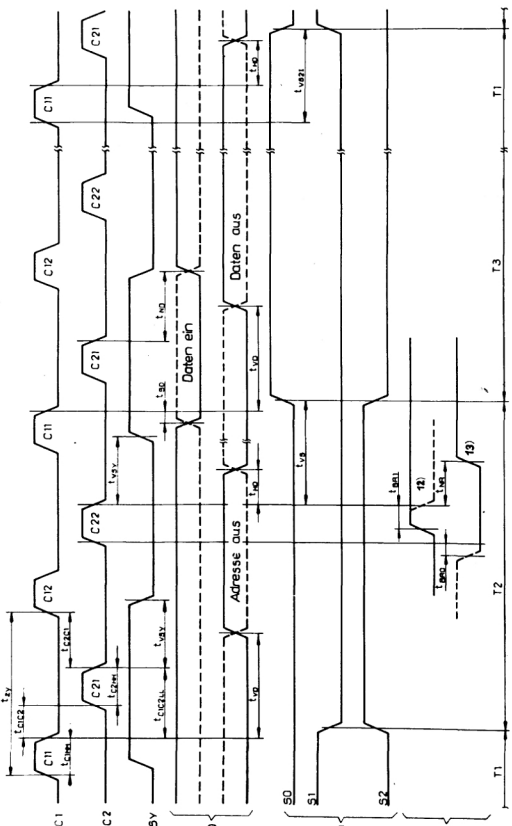


Bild 7 Impulsdiagramm zur Definition der dynamischen Kennwerte

12) ZVE soll T3W nicht einnehmen
13) ZVE soll T3W einnehmen

2.2.3. ZVE-Steuersignale

2.2.3.1. Interrupt-Signal

Im Betrieb der ZVE wird während des Aussendens der Adresse das Adressenregister um 1 erhöht.
Wird in Zyklus 1, Zustand 1 mindestens 200 ns vor der H/L-Flanke des Taktimpulses C11 das Interrupt-Signal auf H (logisch 1) geschaltet, so nimmt die ZVE den T1I-Zustand ein und die Adresse wird während des Aussendens nicht erhöht (Bild 6). Während T3 kann der ZVE von außen ein Befehl oder eine Befehlsfolge eingegeben werden, die von der ZVE verarbeitet wird.
Die Interrupt-Leitung wird jeweils im Zyklus 1, Zustand 1, C11 und im STOP-Zustand (T3S) abgefragt.

Anmerkung:

Da in C11 die Abfrage des Interrupt-Signals erfolgt, bezieht sich die Verzögerung des S2-Signals t_{VS2I} für den T1- und T1I-Zustand auf die L/H-Flanke des Taktimpulses C11 (bzw. die Flanke des Interrupt-Signals, wenn dieses nach der L/H-Flanke des C11 wechselt), für die übrigen S2-Signale auf die L/H-Flanke des C22.
Die Signale S0 und S1 beziehen sich in der Verzögerungszeit t_{VS} auf die L/H-Flanke des C22.

2.2.3.2. Löschen der ZVE beim Anlegen der Betriebsspannung

Beim Anlegen der Betriebsspannung U_{DD} wird durch ein Lösch-Flip-Flop bewirkt, daß die ZVE in den Zustand T3S geschaltet wird und über den Refreshvorgang in 8 Zuständen in alle Register eine Null geladen wird.
Das Interrupt-Signal muß während des Anlegens der Betriebsspannung L-Signal führen.
Um das Lösch-Flip-Flop rückzusetzen, muß die Interrupt-Leitung auf H (logisch 1) geschaltet werden.
Die ZVE verläßt daraufhin den Zustand T3S und geht in den Zustand T1I über (Abschnitt 2.2.3.1.).

Anmerkung:

Da in T1I die Adresse nicht erhöht wird, wird nach dem Löschen in T1I und T1 zweimal die gleiche Adresse ausgesendet.

2.2.3.3. READY-Signal

Durch die Möglichkeit, die ZVE im Zustand T3W festzuhalten, bis das READY-Signal 1 (H) ist, kann die ZVE mit Speichern und Input- und Output-Kanälen beliebiger Zugriffzeit zusammenarbeiten. Nachdem der Speicher die Daten zur Verfügung gestellt hat, wird das READY-Signal auf 1 geschaltet, wodurch die ZVE den T3W-Zustand verläßt und das Programm weiterverarbeitet. Für schnelle Speicher ist der T3W-Zustand nicht erforderlich, wenn die Daten spätestens mit der H/L-Flanke des Taktimpulses C11 im Zustand T3 zur Verfügung stehen. Das READY-Signal bietet auch die Möglichkeit, zur Programmprüfung jeweils vor dem Zustand T3 die Programmabarbeitung zu stoppen.

2.3. Zusammenschaltbedingungen

Nachfolgende Bedingungen sind beim Einsatz der ZVE zu realisieren.

Zur Einhaltung der gemäß Abschnitt 2.5. erforderlichen Eingangsspannung ist gegebenenfalls ein Widerstand vom Ausgang des ansteuernden TTL-Schaltkreises gegen U_{CC} unter Beachtung der zulässigen Ausgangsbelastung der Ein-/Ausgänge zuzuschalten.

2.3.1. Eingänge

Reine Eingänge sind die Anschlüsse C1, C2, READY (RD), INTERRUPT (IT). Diese Eingänge sind mit dem Transistor TS1 zwischen Eingang und U_{CC} versehen, um den TTL-H-Pegel zu verbessern (Bild 8).

Für den H/L-Wechsel stellt der Transistor TS1 zunächst einen Widerstand dar, wodurch MOS-Schaltkreise die Eingänge nicht ansteuern können.
TTL-Schaltkreise sind in der Lage, den Pegel am Eingang e auf L zu schalten, wodurch über $\bar{e}$ = H TS1 gesperrt wird und der Stromfluß über TS1 im durchgeschalteten Zustand aufhört.

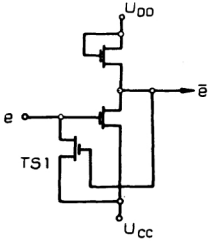


Bild 8 Eingangsschaltung

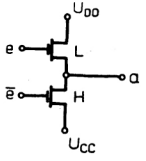


Bild 9 Ausgangsschaltung

2.3.2. Ausgänge

Reine Ausgänge sind die Ausgänge: S0, S1, S2 SY

Die Ausgangsschaltung entspricht den Gegentakttreibern. Da der L-Transistor gegen U_{DD} (- 9 V) arbeitet, können am Ausgang a negative Ausgangsspannungen auftreten, die mit einer Diode gegen 0 Volt begrenzt werden können. Der L-Transistor ist so dimensioniert, daß er low-power TTL-Schaltkreise treiben kann.

2.3.3. Ein-/Ausgangsstufen

Die Bustreiber D_7 bis D_0 stellen eine kombinierte Ein-/Ausgangsstufe mit den Eigenschaften nach 2.3.1. und 2.3.2. dar. Die Umschaltung von Eingangs- und Ausgangsverhalten erfolgt intern über die Zeitsteuerung und Befehlsdekodierung (Bild 10).

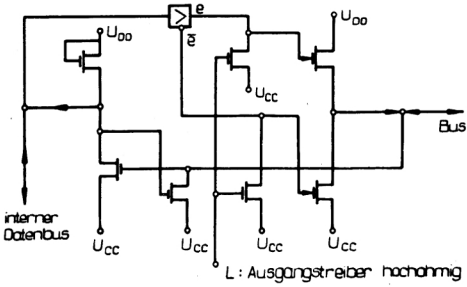


Bild 10

Die Ausgabe der Daten erfolgt zum Zeitpunkt C11 H-L bis C22 H-L, wenn die Zustände T1, T2, T4 oder T5 durchlaufen werden oder
im Zustand T3 Zyklus 2 Befehl MOV M,r
Zustand T3 Zyklus 3 Befehl MVI M.

Im Zustand WAIT werden keine Daten ausgegeben.

Die ZVE übernimmt Daten während C11 H-L bis C21 H-L im

Zustand T3 Zyklus 1 immer
außer Zustand T3 Zyklus 2 Befehl MOV M,r
und Zustand T3 Zyklus 3 Befehl MVI M.

Ein eingelesener HLT-Befehl unterbricht die Übernahmemöglichkeit im Zustand T3 Zyklus 1, wenn die ZVE nicht im Interrupt-Zustand ist. Ist die ZVE im Zustand Interrupt, werden im Zustand T3 Zyklus 1 auch beim HLT-Befehl Daten übernommen (Eingabe wird nicht gesperrt).
Wenn die ZVE keine Daten ausgibt, sind beide Ausgangstransistoren gesperrt und der äußere Datenbus ist "floating".
Der eingangsseitige Transistor wird dabei nicht abgeschaltet.

2.4. Elektrische Eigenschaften

2.4.1. Haupt- und Nebenkenngrößen

Tabelle 5

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Einstellwerte U_{DD} V	U_{CC} V	U_{eL} V	U_{eH} V	U_e V	I_{aL} mA	f kHz	R_L kΩ	C_L pF	ϑ_a °C	Prüfkategorie	Bewertungskriterium	Meßschaltung nach Abschnitt	Anmerkung
Eingangsreststrom	$\lvert I_e \rvert$	µA	–	10	-9,45	5,25	–	–	0	–	–	–	–	25	A	a	4.3.1.	–
				100												K		
				10										70	B	a		
Ausgangsspannung L bei Belastung	U_{aL}	V	–	0,4	-8,55	5,25	1,05	3,75	–	–	500	12	100	25	A	a	4.3.2.	–
				0,8												K		
				0,4										70	B	a		
Ausgangsspannung H bei Belastung	U_{aH}	V	2,4	–	-9,45	4,75	0,55	3,25	–	–	500	12	100	25	A	a		–
			2													K		
			2,4											70	B	a		
Funktionsfähigkeit bei U_{min}	U_{aL}	V	–	0,4	-8,55	4,75	0,65	3,25	–	–	500	12	100	25	A	a		27)
				0,8												K		
				0,4										0 und 70	B	a		
Funktionsfähigkeit bei U_{min}	U_{aH}	V	2,4	–	-8,55	4,75	0,65	3,25	–	–	500	12	100	25	A	a		
			2													K		
			2,4											0 und 70	B	a		

27) Nachweisverfahren nach Abschnitt 4.2.

Fortsetzung der Tabelle Seite 31

Fortsetzung der Tabelle 5

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Einstellwerte U_{DD} V	U_{CC} V	U_{eL} V	U_{eH} V	U_e V	I_{aL} mA	f kHz	R_L kΩ	C_L pF	ϑ_a °C	Prüfkategorie	Bewertungskriterium	Meßschaltung nach Abschnitt	Anmerkung
Funktionsfähigkeit bei U_{max}	U_{aL}	V	—	0,4 0,8 0,4	-9,45	5,25	1,05	3,75	—	—	500	12	100	25 0 und 70	A B	a K a	4.3.2.	27)
Funktionsfähigkeit bei U_{max}	U_{aH}	V	2,4 2 2,4	—	-9,45	5,25	1,05	3,75	—	—	500	12	100	25 0 und 70	A B	a K a		
Verzögerungszeit	t_{vsy}	ns	—	700	-8,55	4,75	0,55	3,25	—	—	—	12	100	0 und 70	B	a		28)
Verzögerungszeit	t_{vs}	ns	—	1100	-8,55	4,75	0,55	3,25	—	—	—	12	100	0 und 70	B	a		
Verzögerungszeit	t_{vs2I}	ns	—	1000	-8,55	4,75	0,55	3,25	—	—	—	12	100	0 und 70	B	a		
Verzögerungszeit	t_{VD}	ns	—	1000	-8,55	4,75	0,55	3,25	—	—	—	12	100	0 und 70	B	a		
Haltezeit	t_{HD}	ns	100	—	-8,55	4,75	0,55	3,25	—	—	—	12	100	0 und 70	B	a		
Eingangskapazität	C_e	pF	—	10	—	—	—	—	—	—	—	—	—	25	B	a	4.3.3.	—
Ausgangskapazität	C_a	pF	—	10	—	—	—	—	—	—	—	—	—	25	B	a		
Stromaufnahme	$-I_{DD}$	mA	—	60	-9,45	5,25	—	—	—	0,4	—	—	—	25	B	a	4.3.4.	—

27) siehe Seite 30

28) Definition der Zeiten siehe Bild 7

2.4.2. Grenzkennwerte bei ϑ_a = 0 bis 70 °C

Tabelle 6

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Bemerkung
Betriebsspannung	U_{DD}	V	-20	+0,3	29)
Eingangsspannung	U_e	V	-20	+0,3	29)
Betriebsumgebungstemperatur	ϑ_a	°C	0 bis 70		-
Lagerungstemperatur	ϑ_{stg}	°C	-55 bis +125		-
Verlustleistung	P	W	-	1	30)

2.5. Betriebsbedingungen bei ϑ_a = 0 bis 70 °C

2.5.1. Statische Betriebsbedingungen

Tabelle 7

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Nennwert	Größtwert
Betriebsspannung	U_{DD}	V	-9,45	-9	-8,55
	U_{CC}	V	4,75	5	5,25
Eingangsspannung	U_{eH}	V	U_{CC} -1,5	-	U_{CC} +0,3
	U_{eL}	V	U_{DD}	-	U_{CC} -4,2

29) Bezogen auf U_{CC} = 0 V

30) bei ϑ_a = 25 °C

2.5.2. Dynamische Betriebsbedingungen

Tabelle 8

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
Taktperiode	t_{zy}	us	2	3
Eingangsanstiegszeit	$t_{HL}=t_{LH}$	ns	-	50
Impulslänge	t_{C1HH}	ns	600	-
	t_{C2HH}	ns	550	-
Taktabstand	t_{C1C2LL}	ns	900	1100
	t_{C2C1}	ns	400	-
	t_{C1C2}	ns	200	-
Bereitstellzeit D0 bis D7	t_{BD}	ns	0	-
Nachwirkzeit D0 bis D7	t_{ND}	ns	t_{VSY}	-
Bereitstellzeit RD=1	t_{BR1}	ns	350	-
Bereitstellzeit RD=0	t_{BR0}	ns	0	-
Nachwirkzeit RD	t_{NR}	ns	200	-
Bereitstellzeit IT=1	t_{BI1}	ns	200	-
Bereitstellzeit IT=0	t_{BI0}	ns	0	-
Nachwirkzeit IT	t_{NI}	ns	200	-

Definition der Zeiten siehe Bild 7.

2.6. Mittlere elektrische Belastung und Umgebungstemperatur

Betriebsspannung U_{DD} = -8,55 V bis -9,45 V

U_{CC} = 4,75 V bis 5,25 V

Umgebungstemperatur $\vartheta_a \leqq 50\ ^{o}C$

2.7. Prüfzuverlässigkeit

Prüfausfallrate: $\lambda_P \leqq 1 \cdot 10^{-4}\ h^{-1}$

3. A b n a h m e r e g e l n

nach TGL 24951

4. P r ü f v e r f a h r e n

Nach TGL 24951 mit folgenden Ergänzungen und Präzisierungen.

4.1. Nachweis der Prüfausfallrate

Die Prüfausfallrate nach Abschnitt 2.7. ist durch eine elektrische Dauerbelastung nachzuweisen.

Einstellwerte: U_{DD} = -14,7 V

U_{CC} = 0 V

U_{eH} = 0 V

U_{eL} = -15 V Impuls

ϑ_a = 85 ^{o}C

Anschlußbelegung: nach Belastungsschaltung (Bild 11)

Beurteilungskriterien	K-Werte nach Tabelle 5
Beanspruchungsdauer	2500 h
Stichprobengröße	n = 18
Minimale Beanspruchungsdauer	1000 h

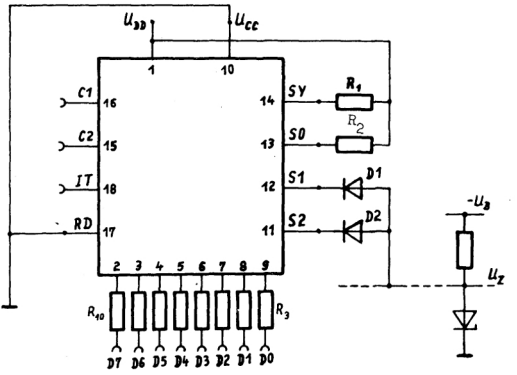


Bild 11 Belastungsschaltung

Die Belastung der Eingänge C1, C2, IT, erfolgt impulsförmig. Die Belastung der Anschlüsse D0 bis D7 erfolgt über je einen Widerstand von 3,9 kΩ impulsförmig nach dem angegebenen Impulsschema.

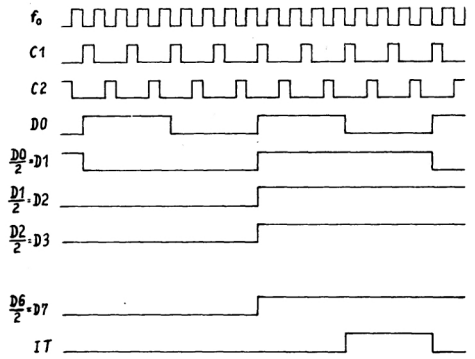
Grundfrequenz: $f_o \geq 300$ kHz

Klemmpotential U_Z = 4,8 bis 5,2 V

R_1, R_2 = 11 kΩ

R_3 bis R_{10} = 3,9 kΩ

D1, D2 : SA 403



$IT = \overline{D0} \cdot D1 \cdot D2 \cdot D3 \cdot D4 \cdot D5 \cdot D6 \cdot D7$

Bild 12 Impulsschema zur Belastungsschaltung

4.2. Nachweis der Funktionsfähigkeit

Durch Anwendung geeigneter mit dem Hauptanwender vereinbarter Prüffolgen sind die im Abschnitt 2.2. beschriebenen Funktionen zu gewährleisten. Ausfälle beim Nachweis der Funktionsfähigkeit sind nach Tabelle 5 zu bewerten.

4.3. Meßschaltungen

Der Hersteller hat durch seine Messungen die Größt- und Kleinstwerte abzusichern. Der Anwender darf den Schaltkreis als fehlerhaft bezeichnen, wenn der Kleinst- oder Größtwert unter Einbeziehung des Fehlers des zur Überprüfung verwendeten Meßaufbaus überschritten wird.

4.3.1. Eingangsreststrom

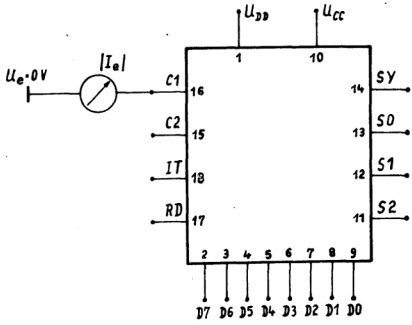


Bild 13

Jeder Eingang ist einzeln zu messen, alle anderen Eingänge einschließlich DO bis D7 und alle Ausgänge müssen offen bleiben.

4.3.2. Ausgangsspannung bei Belastung, Funktionsfähigkeit, Verzögerungszeiten

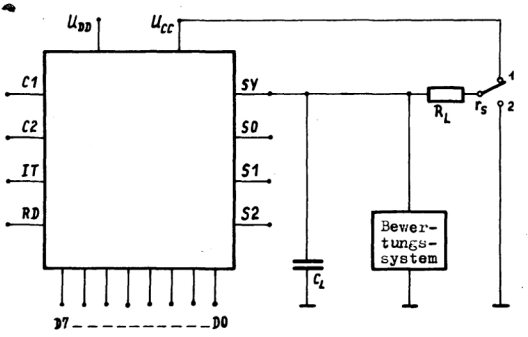


Bild 14

In Abhängigkeit von der Befehlsfolge fungieren D7 bis D0 als Ein- bzw. Ausgänge. Jeder Ausgang ist mit einer Last gemäß "SY" zu beschalten.

r_s befindet sich in Stellung 1 bei

- L-Pegelbewertung unter worst-case
- L-Pegelbewertung bei $U_{B\ min}$- und $U_{B\ max}$-Funktionskontrolle
- Zeitmessungen, die sich auf die H/L-Flanke des Schaltkreisausgangssignals beziehen.

r_s befindet sich in Stellung 2 bei

- H-Pegelbewertung unter worst-case
- H-Pegelbewertung bei $U_{B\ min}$- und $U_{B\ max}$-Funktionskontrolle
- Zeitmessungen, die sich auf die L/H-Flanke des Schaltkreisausgangssignals beziehen.

4.3.3. Ein- und Ausgangskapazität

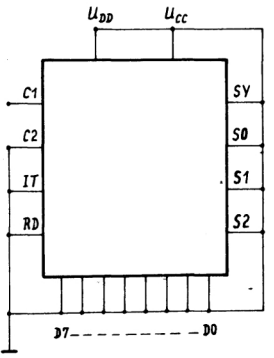


Bild 15

Jeder Ein- bzw. Ausgang ist einzeln zu messen, alle übrigen Anschlüsse werden auf Masse gelegt.
Meßspannung max. 200 mV
f = 0,5 bis 2 MHz

4.3.4. Stromaufnahme

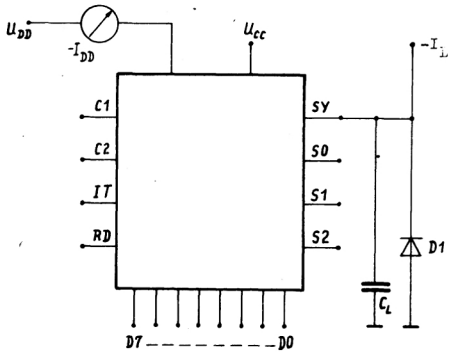


Bild 16

D1: SAY 30

In Abhängigkeit von der Befehlsfolge fungieren D0 bis D7 als Ein- bzw. Ausgänge.
Jeder Ausgang (insgesamt 12) ist mit einer Lastschaltung gemäß "SY" versehen.
Messung erfolgt während eines typischen Befehlsablaufes, alle Ausgänge belastet mit I_{aL} = 0,4 mA bei U_{aL} = 0,4 V.

5. Transport und Lagerung

nach TGL 24951

Hinweise

Im vorliegenden Standard ist auf folgende Standards Bezug genommen:

TGL 24951; TGL 26713

Mikroelektronik; Halbleiterblocktechnik; Bezeichnungssystem	siehe TGL 24569
Halbleiterbauelemente; Kurzzeichen der Halbleitertechnik	siehe TGL 200-8200